Министерство науки и высшего образования

Российской Федерации

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ

БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ

ВЫСШЕГО ОБРАЗОВАНИЯ

**«ВЯТСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»**

Факультет автоматики и вычислительной техники

Кафедра радиоэлектронных средств

Отчет по дисциплине

«Цифровые устройства и микропроцессоры»

Лабораторная работа №2

«Принципы выполнения команд ветвления, организация циклов и подпрограмм»  
Вариант 5

Выполнил: студент группы ИНБс– 3301-01-00\_\_\_\_\_\_\_\_\_\_\_\_\_/А.М.Князев /

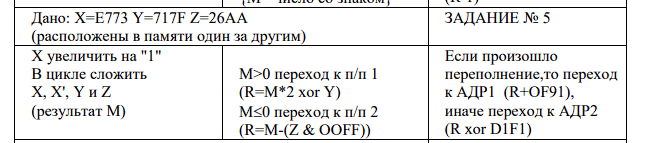
Проверил: ст. преподаватель кафедры САУ\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/M. А. Земцов /

Киров 2023

**Цель работы:**

Изучение принципов выполнения команд ветвления, организации циклов и подпрограмм микропроцессоров с архитектурой x86.

**Задание**



**1. Код программы**

.686

.model flat,stdcall

.stack 100h

.data

X dw 59251;

Y dw 29055;

Z dw 9898;

D dw 3985;

M dw ?;

R dw ?;

V dw 255;

F dw 53745;

.code

ExitProcess PROTO STDCALL :DWORD

Start:

metka:

MOV ax, X

ADD ax, 1

MOV dx, ax

MOV ax, X

ADD ax, dx

ADD ax, Y

ADD ax, Z

MOV M, ax

JMP WER

loop metka

WER:

CMP M,0

JA next;

JBE nextllllll;

next:

MOV cx, M

imul cx, 2

XOR cx, Y

JMP kon

nextllllll:

MOV dx, Z

MOV cx, M

AND dx, V

SUB cx, dx

JMP kon

kon:

MOV AH, 1

CMP AH, 0; OF = 1

JNO ADR2

JMP ADR1

ADR2:

ADD cx, D

MOV R, cx

JMP kon1

ADR1:

XOR cx, F

MOV R, cx

JMP kon1

kon1:

exit:

Invoke ExitProcess, R

End Start

**2. Проверка действий**

X=E77316=5925110

Y=717F16=2905510

Z=26AA16=989810

X’=5925110+110=5925210

M= X+Y+Z+X’= 2638410(произошло переполнение)

Т.к. M>0

R=M\*2 XOR Y =4899110(произошло переполнение)

Т.к. произошло переполнение

**Rez**=R+0F9116=4899110+398510=5297610

**3. Верификация**

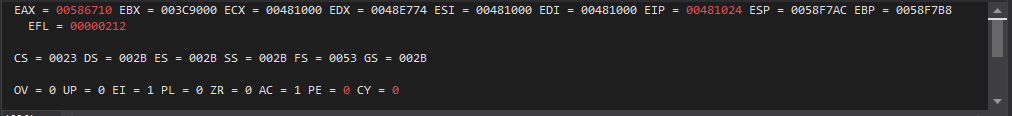


Рисунок 1 – Сложение переменных после цикла

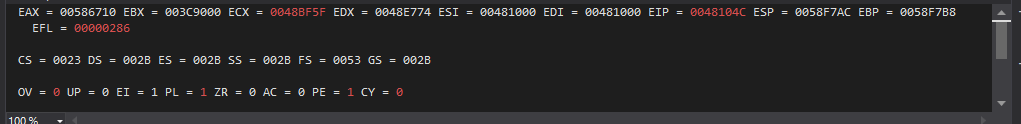


Рисунок 2 – Вычисление первой скобки

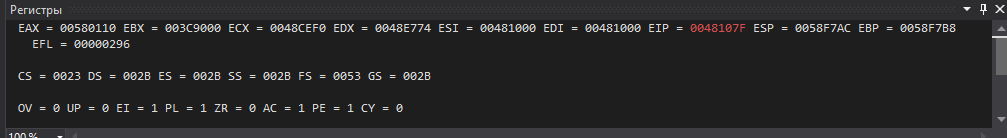


Рисунок 3 – Вычисление второй скобки

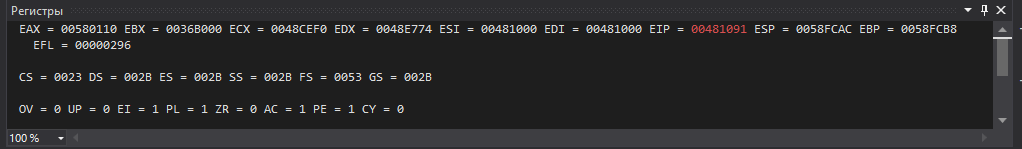


Рисунок 4 – Результат

**Вывод**

В ходе работы мы Изучили принципы выполнения команд ветвления, организации циклов и подпрограмм микропроцессоров с архитектурой x86.